

Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP2005/019780

International filing date: 27 October 2005 (27.10.2005)

Document type: Certified copy of priority document

Document details: Country/Office: JP
Number: 2005-041291
Filing date: 17 February 2005 (17.02.2005)

Date of receipt at the International Bureau: 13 December 2005 (13.12.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2 0 0 5 年 2 月 1 7 日

出 願 番 号
Application Number: 特 願 2 0 0 5 - 0 4 1 2 9 1

パリ条約による外国への出願
に用いる優先権の主張の基礎
となる出願の国コードと出願
番号

J P 2 0 0 5 - 0 4 1 2 9 1

The country code and number
of your priority application,
to be used for filing abroad
under the Paris Convention, is

出 願 人
Applicant(s): 松下電器産業株式会社

2 0 0 5 年 1 1 月 2 3 日

特許庁長官
Commissioner,
Japan Patent Office

中 嶋



【書類名】	特許願
【整理番号】	2037660045
【提出日】	平成17年 2月17日
【あて先】	特許庁長官殿
【国際特許分類】	H03K 19/0185
【発明者】	
【住所又は居所】	大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内
【氏名】	松下 剛
【特許出願人】	
【識別番号】	000005821
【氏名又は名称】	松下電器産業株式会社
【代理人】	
【識別番号】	100077931
【弁理士】	
【氏名又は名称】	前田 弘
【選任した代理人】	
【識別番号】	100094134
【弁理士】	
【氏名又は名称】	小山 廣毅
【選任した代理人】	
【識別番号】	100110939
【弁理士】	
【氏名又は名称】	竹内 宏
【選任した代理人】	
【識別番号】	100110940
【弁理士】	
【氏名又は名称】	嶋田 高久
【選任した代理人】	
【識別番号】	100113262
【弁理士】	
【氏名又は名称】	竹内 祐二
【選任した代理人】	
【識別番号】	100115059
【弁理士】	
【氏名又は名称】	今江 克実
【選任した代理人】	
【識別番号】	100115691
【弁理士】	
【氏名又は名称】	藤田 篤史
【選任した代理人】	
【識別番号】	100117581
【弁理士】	
【氏名又は名称】	二宮 克也
【選任した代理人】	
【識別番号】	100117710
【弁理士】	
【氏名又は名称】	原田 智雄
【電話番号】	06-6125-2255
【連絡先】	担当

【選任した代理人】

【識別番号】 100121728

【弁理士】

【氏名又は名称】 井関 勝守

【手数料の表示】

【予納台帳番号】 014409

【納付金額】 16,000円

【提出物件の目録】

【物件名】 特許請求の範囲

【物件名】 明細書 1

【物件名】 図面

【物件名】 要約書 1

【包括委任状番号】 0217869

【書類名】 特許請求の範囲

【請求項 1】

ソースが高電圧電源に接続された第 1 及び第 2 の P チャンネルトランジスタと、
ソースがグランドに接続された第 1 及び第 2 の N チャンネルトランジスタとを含み、
低電源電圧動作回路からの入力信号と同位相及び逆位相の相補の入力信号が、各々、前記第 1 及び第 2 の N チャンネルトランジスタのゲートに接続され、
前記第 1 の N チャンネルトランジスタのドレインは、前記第 1 の P チャンネルトランジスタのドレイン及び前記第 2 の P チャンネルトランジスタのゲートに接続され、
前記第 2 の N チャンネルトランジスタのドレインは、前記第 2 の P チャンネルトランジスタのドレイン及び前記第 1 の P チャンネルトランジスタのゲートに接続され、
更に、前記第 1 の N チャンネルトランジスタのドレインと前記第 2 の N チャンネルトランジスタのドレインとを接続する抵抗を有し、
前記第 2 の N チャンネルトランジスタのドレインは、高電圧電圧動作回路への出力端子となる

ことを特徴とするレベルシフト回路。

【請求項 2】

前記請求項 1 記載のレベルシフト回路において、
前記抵抗は、P チャンネルトランジスタで構成され、
前記 P チャンネルトランジスタは、
ゲートがグランドに、ソースが前記第 1 の N チャンネルトランジスタのドレインに、ドレインが前記第 2 の N チャンネルトランジスタのドレインに各々接続されて、常時 ON 状態となっている

ことを特徴とするレベルシフト回路。

【請求項 3】

前記請求項 1 記載のレベルシフト回路において、
前記抵抗は、N チャンネルトランジスタで構成され、
前記 N チャンネルトランジスタは、
ゲートが高電圧電源に、ソースが前記第 1 の N チャンネルトランジスタのドレインに、ドレインが前記第 2 の N チャンネルトランジスタのドレインに各々接続されて、常時 ON 状態となっている

ことを特徴とするレベルシフト回路。

【請求項 4】

前記請求項 1 記載のレベルシフト回路において、
前記抵抗は、P チャンネルトランジスタで構成され、
前記 P チャンネルトランジスタは、
ゲートに ON/OFF 動作切換信号が入力され、ソースが前記第 1 の N チャンネルトランジスタのドレインに、ドレインが前記第 2 の N チャンネルトランジスタのドレインに各々接続される

ことを特徴とするレベルシフト回路。

【請求項 5】

前記請求項 1 記載のレベルシフト回路において、
前記抵抗は、N チャンネルトランジスタで構成され、
前記 N チャンネルトランジスタは、
ゲートに ON/OFF 動作切換信号が入力され、ソースが前記第 1 の N チャンネルトランジスタのドレインに、ドレインが前記第 2 の N チャンネルトランジスタのドレインに各々接続される

ことを特徴とするレベルシフト回路。

【請求項 6】

前記請求項 4 又は 5 記載のレベルシフト回路において、
前記 ON/OFF 動作切換信号は、外部から入力される動作モード切換信号である

ことを特徴とするレベルシフト回路。

【請求項 7】

請求項 1 ～ 6 の何れか 1 項に記載のレベルシフト回路において、

前記第 1 及び第 2 の N チャネルトランジスタの両ドレインは、前記高電源電圧動作回路への差動出力端子となる

ことを特徴とするレベルシフト回路。

【請求項 8】

請求項 1 ～ 7 の何れか 1 項に記載のレベルシフト回路を備えた

ことを特徴とする半導体集積回路。

【書類名】 明細書

【発明の名称】 レベルシフト回路及びこれを備えた半導体集積回路

【技術分野】

【0001】

本発明は、異なる電源電圧を有する半導体集積回路に必要なレベルシフト回路に関するものである

【背景技術】

【0002】

従来のレベルシフト回路について説明する。

【0003】

図5は従来のレベルシフト回路を示す。同図において、BUF1は低電源電圧動作で動作するインバータINV1、INV2を含むバッファ、BUF2は高電源電圧で動作するインバータINV3、INV4を含むバッファ、VDDH、VDDLは各々高電圧電源、低電圧電源、VSSH、VSSLは各々高電圧電源、低電圧電源に対するグラウンド(0V)、Tn1、Tn2は第1、第2Nチャネル(以下Nchという)MOSトランジスタ、Tp1、Tp2は第1、第2Pチャネル(以下Pchという)MOSトランジスタ、INは入力信号端子、OUTは出力信号端子、Aは前記NchMOSトランジスタTn1のドレインとPchMOSトランジスタTp1のドレインとPchMOSトランジスタTp2のゲートとが接続されたノード、Bは前記NchMOSトランジスタTn2のドレインとPchMOSトランジスタTp2のドレインとPchMOSトランジスタTp1のゲートとが接続されたノードである。

【0004】

前記NchMOSトランジスタTn1、Tn2のソースとPchMOSトランジスタTp1、Tp2のソースとは、各々、低電圧電源VSSH及び高電圧電源VDDHに接続される。INは前記バッファBUF1への低電源電圧の入力信号用の入力端子であって、バッファBUF1の2個のインバータINV1、INV2からの逆相及び同相の入力信号INは、各々、前記NchMOSトランジスタTn1、Tn2のゲートに入力される。出力側のバッファBUF2の入力側は前記ノードBに接続され、その出力側は出力信号端子OUTに接続される。

【0005】

以上のように構成された従来のレベルシフト回路について、以下、その動作について説明する。

【0006】

バッファBUF1の入力信号端子INの入力信号INが低レベルから高レベルに変化した時、バッファBUF1のインバータINV1、INV2の出力から入力信号INと逆相及び同相の信号がNchMOSトランジスタTn1、Tn2のゲート電圧に各々入力される。その時、入力信号と逆相の信号、即ち、高レベルから低レベルに変化する信号がゲートに印加されたNchMOSトランジスタTn2は、徐々にON抵抗が上昇し、NchMOSトランジスタTn2のドレインーソース間の電圧が上昇する。これとほぼ同時に、入力信号INと同相の信号がゲートに印加されたNchMOSトランジスタTn1は導通し、徐々にそのON抵抗が低くなり、NchMOSトランジスタTn1のドレインーソース間の電圧が低下する。

【0007】

以上の2個のNchMOSトランジスタTn1、Tn2の動作に伴い、PchMOSトランジスタTp2のゲート電圧が低下して、そのドレイン電圧が上昇する。これにより、PchMOSトランジスタTp1のゲート電圧が上昇する。最終的にバッファBUF1への入力信号INが高レベルになると、NchMOSトランジスタTn1のドレインーソース間が完全に導通し、ノードAは0Vとなる。また、NchMOSトランジスタTn2のドレインーソース間が完全に非導通となると共に、PchMOSトランジスタTp2のソースドレイン間が導通して、ノードBの電圧が高電源電圧VDDHと等しくなる。この

際、高電源電圧 V_{DDH} で動作するバッファ $BUF\ 2$ は、ノード B の電圧が高電源電圧 V_{DDH} へ移行するのに伴い、出力信号端子 OUT からの出力信号の電位を高電源電圧 V_{DDH} にして、この出力信号を図示しない高電源電圧動作回路へ供給する。

【0008】

一方、入力信号端子 IN の入力信号が高レベルから低レベルに変化した際、バッファ $BUF\ 1$ のインバータ $INV\ 1$ 、 $INV\ 2$ の出力からは、入力信号 IN と逆相及び同相の信号が $NchMOS$ トランジスタ $Tn\ 1$ 、 $Tn\ 2$ のゲートに各々入力される。その時、入力信号と逆相の信号、即ち、低レベルから高レベルに変化する信号がゲートに印加された $NchMOS$ トランジスタ $Tn\ 2$ は導通し、徐々に ON 抵抗が低くなって、そのドレインソース間の電圧が低下する。これとほぼ同時に、入力信号 IN と同相の信号がゲートに印加された $NchMOS$ トランジスタ $Tn\ 1$ は、徐々に ON 抵抗が高くなって、そのドレインソース間の電圧が上昇する。

【0009】

以上の2個の $NchMOS$ トランジスタ $Tn\ 1$ 、 $Tn\ 2$ の動作に伴い、 $PchMOS$ トランジスタ $Tp\ 1$ のゲート電圧が低下して、そのドレイン電圧が上昇する。これにより、 $PchMOS$ トランジスタ $Tp\ 2$ のゲート電圧が上昇する。最終的にバッファ $BUF\ 1$ への入力信号 IN が高レベルになると、 $NchMOS$ トランジスタ $Tn\ 2$ のドレインソース間が完全に導通して、ノード B の電圧は $0\ V$ となる。この時、高電源電圧 V_{DDH} で動作するバッファ $BUF\ 2$ は、ノード B の電圧が $0\ V$ へ移行するのに伴い、出力信号端子 OUT からの出力信号の電位を $0\ V$ にして、この出力信号を図示しない高電源電圧動作回路へ供給する。一方、 $NchMOS$ トランジスタ $Tn\ 1$ のドレインソース間が完全に非導通となると共に、 $PchMOS$ トランジスタ $Tp\ 1$ のソースドレイン間が導通して、ノード A の電圧は高電源電圧 V_{DDH} と等しくなる。

【0010】

このように、従来のレベルシフト回路により、低電源電圧動作回路からの出力信号を高電源電圧 V_{DDH} の信号にレベルシフトして高電源電圧動作回路に入力することが可能となった。

【0011】

しかしながら、前記従来の構成では、例えば入力信号端子 IN への入力信号が高レベルから低レベルへと変化した際に、 $NchMOS$ トランジスタ $Tn\ 2$ のソースドレインが導通し、これによりノード B の電位が低下するのに1ステップ、更にこの状態から $PchMOS$ トランジスタ $Tp\ 1$ のソースドレインが導通して、ノード A の電位が低レベルから高レベルに変化するのに更に1ステップ必要であって、 $NchMOS$ トランジスタ $Tn\ 1$ 、 $Tn\ 2$ 及び $PchMOS$ トランジスタ $Tp\ 1$ 、 $Tp\ 2$ の各端子の電位状態が変化して出力状態が高レベルか低レベルかが決定されるのに2ステップ必要であり、高速動作が難しいという課題があった。

【0012】

そこで、従来、この問題の改善を図ったレベルシフト回路として、特許文献1に記載されるレベルシフト回路がある。この回路を図6に示す。同図に示すレベルシフト回路では、図5に示したレベルシフト回路の2個の $PchMOS$ トランジスタ $Tp\ 1$ 、 $Tp\ 2$ に各々 $NchMOS$ トランジスタ $Tn\ 3$ 、 $Tn\ 4$ を並列に接続して付加し、それ等の $PchMOS$ トランジスタ $Tp\ 1$ 、 $Tp\ 2$ の各ゲートにバッファ $BUF\ 1$ からの相補の入力信号を与える構成としている。

【0013】

前記の構成により、同図のレベルシフト回路では、低電源電圧動作するバッファ $BUF\ 1$ からの相補入力信号が反転した際には、一対の $NchMOS$ トランジスタ $Tn\ 1$ 、 $Tn\ 2$ の一方（例えば $Tn\ 1$ ）の ON 動作により、一方のノード A が低レベルになると同時に、追加した2個の $NchMOS$ トランジスタ $Tn\ 3$ 、 $Tn\ 4$ の一方（ $Tn\ 3$ ）の ON 動作により、他方のノード B を高電源電圧 V_{DDH} の高レベルにして、出力状態を高レベルにするのに1ステップで済むようにしている。

【発明の開示】

【発明が解決しようとする課題】

【0014】

しかしながら、前記図6に示した従来のレベルシフト回路では、高速動作に必要となる2個のNchMOSトランジスタ T_{n3} 、 T_{n4} を付加することにより、面積が増大するという課題がある。更に、NchMOSトランジスタ T_{n3} 、 T_{n4} のドレインを高電圧電源 V_{DDH} に直接接続すると、半導体素子の製造プロセスによっては、高電源電圧 V_{DDH} 分の逆バイアスがそれ等NchMOSトランジスタ T_{n3} 、 T_{n4} のバックゲートとドレインに印加されるため、それ等の信頼性が低下するという課題がある。

【0015】

更に、前記従来のレベルシフト回路では、入力信号 I_N の周波数に関係なく、高速化のために付加した前述の2個のNchMOSトランジスタ T_{n3} 、 T_{n4} を動作させなければならぬため、入力信号 I_N が低周波数で高速レベルシフト動作が不要な場合には、それ等余剰なNchMOSトランジスタ T_{n3} 、 T_{n4} の動作分、消費電力が増大するという課題がある。

【0016】

本発明は、前記技術的課題に着目し、その第1の目的は、従来よりも少ない素子数で且つその素子の信頼性を高く確保しつつレベルシフト回路の動作の高速化を図ることにある。

【0017】

また、本発明の第2の目的は、前記第1の目的に加えて、低速なレベルシフト動作で十分な場合には、付加する素子の動作を停止させて、低消費電力化を図ることにある。

【課題を解決するための手段】

【0018】

前記第1の目的を達成するために、本発明では、図4に示した従来のレベルシフト回路において、2つのノードA、B間を抵抗で接続する構成を採用する。

【0019】

また、本発明では、前記第2の目的を達成するために、前記別途付加する抵抗を常時ON状態の1個のトランジスタで構成し、このトランジスタを必要に応じてOFF制御する構成を採用する。

【0020】

具体的に、請求項1記載の発明のレベルシフト回路は、ソースが高電圧電源に接続された第1及び第2のPチャネルトランジスタと、ソースがグランドに接続された第1及び第2のNチャネルトランジスタとを含み、低電源電圧動作回路からの入力信号と同位相及び逆位相の相補の入力信号が、各々、前記第1及び第2のNチャネルトランジスタのゲートに接続され、前記第1のNチャネルトランジスタのドレインは、前記第1のPチャネルトランジスタのドレイン及び前記第2のPチャネルトランジスタのゲートに接続され、前記第2のNチャネルトランジスタのドレインは、前記第2のPチャネルトランジスタのドレイン及び前記第1のPチャネルトランジスタのゲートに接続され、更に、前記第1のNチャネルトランジスタのドレインと前記第2のNチャネルトランジスタのドレインとを接続する抵抗を有し、前記第2のNチャネルトランジスタのドレインは、高電源電圧動作回路への出力端子となることを特徴とする。

【0021】

請求項2記載の発明は、前記請求項1記載のレベルシフト回路において、前記抵抗は、Pチャネルトランジスタで構成され、前記Pチャネルトランジスタは、ゲートがグランドに、ソースが前記第1のNチャネルトランジスタのドレインに、ドレインが前記第2のNチャネルトランジスタのドレインに各々接続されて、常時ON状態となっていることを特徴とする。

【0022】

請求項 3 記載の発明は、前記請求項 1 記載のレベルシフト回路において、前記抵抗は、N チャンネルトランジスタで構成され、前記 N チャンネルトランジスタは、ゲートが高電圧電源に、ソースが前記第 1 の N チャンネルトランジスタのドレインに、ドレインが前記第 2 の N チャンネルトランジスタのドレインに各々接続されて、常時 ON 状態となっていることを特徴とする。

【0023】

請求項 4 記載の発明は、前記請求項 1 記載のレベルシフト回路において、前記抵抗は、P チャンネルトランジスタで構成され、前記 P チャンネルトランジスタは、ゲートに ON/OFF 動作切換信号が入力され、ソースが前記第 1 の N チャンネルトランジスタのドレインに、ドレインが前記第 2 の N チャンネルトランジスタのドレインに各々接続されることを特徴とする。

【0024】

請求項 5 記載の発明は、前記請求項 1 記載のレベルシフト回路において、前記抵抗は、N チャンネルトランジスタで構成され、前記 N チャンネルトランジスタは、ゲートに ON/OFF 動作切換信号が入力され、ソースが前記第 1 の N チャンネルトランジスタのドレインに、ドレインが前記第 2 の N チャンネルトランジスタのドレインに各々接続されることを特徴とする。

【0025】

請求項 6 記載の発明は、前記請求項 4 又は 5 記載のレベルシフト回路において、前記 ON/OFF 動作切換信号は、外部から入力される動作モード切換信号であることを特徴とする。

【0026】

請求項 7 記載の発明は、請求項 1 ～ 6 の何れか 1 項に記載のレベルシフト回路において、前記第 1 及び第 2 の N チャンネルトランジスタの両ドレインは、前記高電源電圧動作回路への差動出力端子となることを特徴とする。

【0027】

請求項 8 記載の発明の半導体集積回路は、請求項 1 ～ 7 の何れか 1 項に記載のレベルシフト回路を備えたことを特徴とする。

【0028】

以上により、請求項 1 ～ 8 記載の発明では、高速信号が入力された場合において、その入力信号が反転すると、低電位側のノードと高電位側のノード A、B のうち、高電位側になろうとしている低電位側のノードに対して高電位側のノードから電流が抵抗を通じて供給されるので、この低電位側のノードが素早く電位上昇して、高電位になる。従って、低電位側のノードの高電位化への高速化が図られる。しかも、別途付加する抵抗は、1 個のトランジスタから成る 1 個の素子の抵抗で構成できるので、図 5 に示した従来例と比較して、素子数が 1 個削減される。しかも、前記抵抗が 1 個のトランジスタで構成される場合に、そのバックゲートとドレインとの間には、高電源電圧分の逆バイアスが印加されることがないので、信頼性は高く確保される。

【0029】

特に、請求項 4 ～ 6 記載の発明では、低速入力信号が入力される場合には、抵抗を構成する 1 個のトランジスタが OFF（非導通）制御されて、高速動作が停止するので、この別途付加したトランジスタ（抵抗）での余剰な消費電力が省かれる。

【発明の効果】

【0030】

以上説明したように、請求項 1 ～ 8 記載の発明のレベルシフト回路及び半導体集積回路によれば、1 個の素子で且つその素子に高電源電圧がかかることを防止してその信頼性を高く確保しつつ、高電位側になろうとしている低電位側のノードに対して高電位側のノードから電流を抵抗を通じて供給することによってレベルシフト回路の高速化を図ることが可能である。

【0031】

特に、請求項4～6記載の発明のレベルシフト回路によれば、低速入力信号が入力される場合には、別途付加したトランジスタ（抵抗）をOFF動作させて、その余剰な消費電力の削減を図ることが可能である。

【発明を実施するための最良の形態】

【0032】

以下、本発明の実施形態のレベルシフト回路を図面に基づいて詳細に説明する。

【0033】

（実施形態1）

図1は本発明の実施形態1のレベルシフト回路の構成図を示す。

【0034】

同図において、BUF1は低電源電圧VDDL及びこの電圧に対するグラウンド（0V）VSSLで動作するインバータINV1、INV2を含む入力側のバッファ、BUF2は高電源電圧VDDHで動作するインバータINV3、INV4を含む出力側のバッファである。これ等バッファBUF1、BUF2の回路構成は、バッファ機能を有していれば良く、必ずしもインバータを多段接続した回路でなくても良い。

【0035】

また、図1において、Tn1、Tn2は第1及び第2のNchMOSトランジスタであって、そのソースは前記高電圧電源VSSHに対するグラウンド（0V）VSSHに接続される。Tp1、Tp2は第1及び第2のPチャネルPchMOSトランジスタであって、そのソースは前記高電圧電源VDDHに接続される。INは入力側のバッファBUF1への低電源電圧の入力信号用の入力端子（以下、入力信号も同符号INで示す）であって、図示しない低電源電圧動作回路から入力信号INが供給される。

【0036】

前記入力側のバッファBUF1の前段のインバータINV1の出力、即ち、入力信号INと逆相の信号は前記第2のNchMOSトランジスタTn2のゲートに入力され、後段のインバータINV2の出力、即ち、入力信号INと同相の信号は前記第1のNchMOSトランジスタTn1のゲートに入力される。

【0037】

更に、前記NchMOSトランジスタTn1のドレインは、前記PchMOSトランジスタTp1のドレインに接続され、この接続点をノードAとする。前記ノードAは、前記PchMOSトランジスタTp2のゲートに接続される。同様に、前記NchMOSトランジスタTn2のドレインは、前記PchMOSトランジスタTp2のドレインに接続され、この接続点をノードBとする。このノードBは、前記PchMOSトランジスタTp1のゲートに接続される。

【0038】

前記バッファBUF2の前段のインバータINV3には、前記ノードBが接続され、一方、後段のインバータINV4からの高電源電圧VDDHである出力信号は、出力端子OUT（以下、出力信号もOUTで示す）から外部出力される。

【0039】

そして、前記2つのノードA、Bは、抵抗としてのPchMOSトランジスタTp3により接続される。このPchMOSトランジスタ（抵抗）Tp3は、具体的には、そのソースがノードAに、ドレインがノードBに各々接続され、そのゲートには高電圧電源VSSHが接続されて、常時ON動作している。

【0040】

以下、本レベルシフト回路について、その動作を説明する。

【0041】

入力信号端子INの入力信号が低レベルから高レベルに変化した際、低電源電圧動作回路であるバッファBUF1では、2個のインバータINV1、INV2からは前記入力信号と逆相及び同相の信号が各々NchMOSトランジスタTn1、Tn2のゲート電圧に入力される。この時、入力信号INと逆相の信号、即ち、高レベルから低レベルに変化する

る信号がゲートに印加されたNchMOSトランジスタTn2は、徐々にON抵抗が増大し、このNchMOSトランジスタTn2のドレインソース間電圧が上昇して、ノードBのレベルが高くなり始める。これとほぼ同時に、入力信号INと同相の信号がゲートに印加されたNchMOSトランジスタTn1が導通し始めて、ノードAから電流がこのNchMOSトランジスタTn1を通じて接地VSSHに流れ始め、徐々にこのNchMOSトランジスタTn1のON抵抗が低下すると、NchMOSトランジスタTn1のドレインソース間の電圧が低下して、ノードAのレベルが低くなる。

【0042】

更に、前記ノードAの低レベルへの遷移に伴い、PchMOSトランジスタTp2のゲート電圧が低下して、ON動作し始め、PchMOSトランジスタTp2のドレイン電圧、即ち、ノードBのレベルが上昇する。ここで、この高レベル側に遷移するノードBでは、そのレベルは、入力信号INの変化前には低レベルにあり、一方、低レベル側に遷移するノードAのレベルは、入力信号INの変化前には高レベルにあったので、前記PchMOSトランジスタTp2のON動作し始めと同時又はその前段階から、高レベル側のノードAから電流が抵抗(PchMOSトランジスタ)Tp3を通じて低レベル側のノードBに流れ込み、これにより、高レベル側に遷移するノードBの電位上昇が促進される。

【0043】

前記高レベル側に遷移するノードBでは、その電位上昇の促進により、高電源電圧動作する出力側のバッファBUF2の前段のインバータINV3のスレシールド電圧を越えるまでの時間が短縮されて、バッファBUF2の出力端子OUTからの出力信号は早期に高電源電圧VDDHとなる。一方、前記ノードBの電位上昇に伴い、PchMOSトランジスタTp1は、そのゲート電圧が上昇して、OFFし始め、高電源電圧VDDHの供給がされ難くなって、ノードAのレベル低下が継続される。ここで、高レベル側に遷移するノードBは、高電圧電源VDDHからPchMOSトランジスタTp2、抵抗(PchMOSトランジスタ)Tp3及びNchMOSトランジスタTn1を通じて接地に至る接地経路の途中に位置するものの、抵抗(PchMOSトランジスタ)Tp3の上流側に位置するので、この抵抗Tp3の抵抗値を適宜設定すれば、高レベル側に遷移したノードBの電位レベルが一旦出力側のバッファBUF2の前段のインバータINV3のスレシールド電圧を越えた後に、そのスレシールド電圧未満に低下することを防止できる。

【0044】

一方、前記とは逆に、入力信号端子INの入力信号が高レベルから低レベルに変化した際の動作については、既述の動作と逆の動作が行われる。即ち、入力信号INと逆相の信号、即ち、低レベルから高レベルに変化する信号がゲートに印加されたNchMOSトランジスタTn2は、導通し始めて、ノードBから電流がこのNchMOSトランジスタTn2を通じて接地VSSHに流れ始め、徐々にこのNchMOSトランジスタTn2のON抵抗が低下すると、NchMOSトランジスタTn2のドレインソース間の電圧が低下して、ノードBのレベルが低くなる。これとほぼ同時に、入力信号INと同相の信号がゲートに印加された他方のNchMOSトランジスタTn1は徐々にON抵抗が増大し、このNchMOSトランジスタTn1のドレインソース間電圧が上昇して、ノードAのレベルが高くなり始める。

【0045】

更に、前記ノードBの低レベルへの遷移に伴い、PchMOSトランジスタTp1のゲート電圧が低下して、ON動作し始め、PchMOSトランジスタTp1のドレイン電圧、即ち、ノードAのレベルが上昇する。ここで、この高レベル側に遷移するノードAでは、そのレベルは、入力信号INの変化前には低レベルにあり、一方、低レベル側に遷移するノードBのレベルは、入力信号INの変化前には高レベルにあったので、前記PchMOSトランジスタTp1のON動作し始めと同時又はその前段階から、高レベル側のノードBから電流が抵抗(PchMOSトランジスタ)Tp3を通じて低レベル側のノードAに流れ込み、これにより、高レベル側に遷移するノードAの電位上昇が促進される。

【0046】

前記高レベル側に遷移するノードAの電位上昇の促進により、PchMOSトランジスタTp2は、そのゲート電圧が素早く上昇して、早期にOFFし始め、高電源電圧VDDHの供給がされ難くなって、ノードBのレベル低下が促進される。その結果、このノードBのレベルが高電源電圧動作するバッファBUF2の前段のインバータINV3のスレシヨルド電圧未満になるまでの時間が短縮されて、バッファBUF2の出力端子OUTからの出力信号は早期に接地電圧VDDLとなる。

【0047】

図1に示した本実施形態のレベルシフト回路では、高レベル側にあるノードA又はBでは、その電位は、ON状態にある3つの直列接続のトランジスタ(Tp1、Tp3及びTn2)、(Tp2、Tp3及びTn1)の抵抗分割で決定される電位であって、高電源電圧VDDHにならないので、別途付加したトランジスタTp3では、従来のように高電源電圧分の逆バイアスがバックゲートとドレインに印加されることがなく、信頼性が良好に確保される。

【0048】

(実施形態2)

次に、本発明の実施形態2のレベルシフト回路について説明する。

【0049】

図2は本実施形態2のレベルシフト回路の構成を示す。同図に示したレベルシフト回路が図1のレベルシフト回路と異なる点は、抵抗を構成するトランジスタが、図1ではPchMOSトランジスタTp3であったのに対し、本実施形態では、NchMOSトランジスタTn3で構成している。このNchMOSトランジスタ(抵抗)Tn3は、具体的には、そのソースがノードAに、そのドレインがノードBに各々接続され、そのゲートは高電源電圧VDDHに接続されていて、常時ON動作している。

【0050】

従って、本実施形態においても、前記実施形態1と同一の作用効果を奏する。

【0051】

(実施形態3)

次に、本発明の実施形態3のレベルシフト回路について説明する。

【0052】

図3は本実施形態3のレベルシフト回路の構成を示す。同図に示したレベルシフト回路は、出力信号を差動出力信号としたものであって、図1のレベルシフト回路と異なる点は、図1のレベルシフト回路に対して、更に、出力側のバッファBUF3を配置したものである。

【0053】

前記出力側のバッファBUF3は、高電源電圧VDDH及びこれに対応する低電源電圧VSSHで動作する2個のインバータINV5、INV6を含み、前段のインバータINV5はノードAに接続される。出力側の2個のバッファBUF2及びBUF3の出力側は、各々、入力信号INと同相の信号を出力する出力端子OUTP、及び入力信号INと逆相の信号が出力される出力端子OUTNに接続されて、この両出力端子OUTP、OUTNにより一对の差動出力端子が構成される。

【0054】

尚、本実施形態では、図1のレベルシフト回路に対して一对の差動出力端子OUTP、OUTNを設けた例を示したが、図2に示したレベルシフト回路に対しても同様に適用できるのは勿論である。

【0055】

(実施形態4)

図4は、本発明の実施形態4のレベルシフト回路を示す。

【0056】

同図に示したレベルシフト回路の構成は、図1に示したレベルシフト回路の構成と同様であり、異なる点は、2つのノードA、Bを接続するPchMOSトランジスタTp4に

において、そのゲートに、ON/OFF動作切換信号として待機モード信号S t bが入力される点である。この待機モード信号（動作モード切換信号）S t bは、入力端子I Nから高周波数の高速信号が入力される通常動作モードには、低レベルV S S Hとなって、別途付加したP c hM O Sトランジスタ（抵抗）T p 4を常時ON状態とする一方、入力端子I Nから低周波数の低速信号が入力される待機モードでは、高レベルV D D Hとなって、P c hM O Sトランジスタ（抵抗）T p 4を常時OFF状態とするものである。この待機モード信号S t bは、本レベルシフト回路が備えられるL S I（半導体集積回路）から供給される。

【0057】

従って、本実施形態では、待機モードでは、入力端子I Nから低周波数の低速信号が入力されて、レベルシフト回路のレベルシフト動作は高速である必要はなく、通常速度で良い状況となる。この状況では、高レベルV D D Hの待機モード信号S t bが入力されて、P c hM O Sトランジスタ（抵抗）T p 4が常時OFF状態となるので、高レベル側のノードからの電流供給によって高レベルへ遷移するノードの電位上昇を促進させる動作が中止されて、本レベルシフト回路は通常速度のレベルシフト動作を行う。従って、待機モードでは、従来のように余剰な動作がなく、従来に比して低消費電力化が図られる。

【0058】

尚、本実施形態では、P c hM O Sトランジスタ（抵抗）T p 4に待機モード信号S t bを入力したが、スリープモード信号等であっても良い。また、本実施形態では、図1のレベルシフト回路を変形したが、その他、図2及び図3のレベルシフト回路を変形しても良いのは勿論である。この場合、N c hM O Sトランジスタ（抵抗）T n 2では、待機モード時には、低レベルV S S Lの待機モード信号S t bを入力すれば良い。

【0059】

以上、図1～図4を用いて本発明のレベルシフト回路を説明したが、本発明は、このようなレベルシフト回路と、低電源電圧動作回路と、高電源電圧動作回路とを備えて、その低電源電圧動作回路からの出力信号を高電源電圧V D D Hにレベルシフトして前記高電源電圧動作回路に出力する半導体集積回路も含まれる。

【産業上の利用可能性】

【0060】

本発明は、1個の抵抗を付加するだけでその抵抗の信頼性を良好に確保しつつ高速なレベルシフト動作が可能であるので、異なる電源電圧を持つ複数の回路部間で信号を伝搬させる場合に、低電圧の信号を高速に高電圧の信号にレベルシフトする小型なレベルシフト回路、及びそのようなレベルシフト回路や前記複数の回路部を備えた半導体集積回路として有用である。

【図面の簡単な説明】

【0061】

【図1】 本発明の実施形態1のレベルシフト回路を示す図である。

【図2】 本発明の実施形態2のレベルシフト回路を示す図である。

【図3】 本発明の実施形態3のレベルシフト回路を示す図である。

【図4】 本発明の実施形態4のレベルシフト回路を示す図である。

【図5】 従来のレベルシフト回路を示す図である。

【図6】 図5のレベルシフト回路を改良した従来のレベルシフト回路を示す図である。

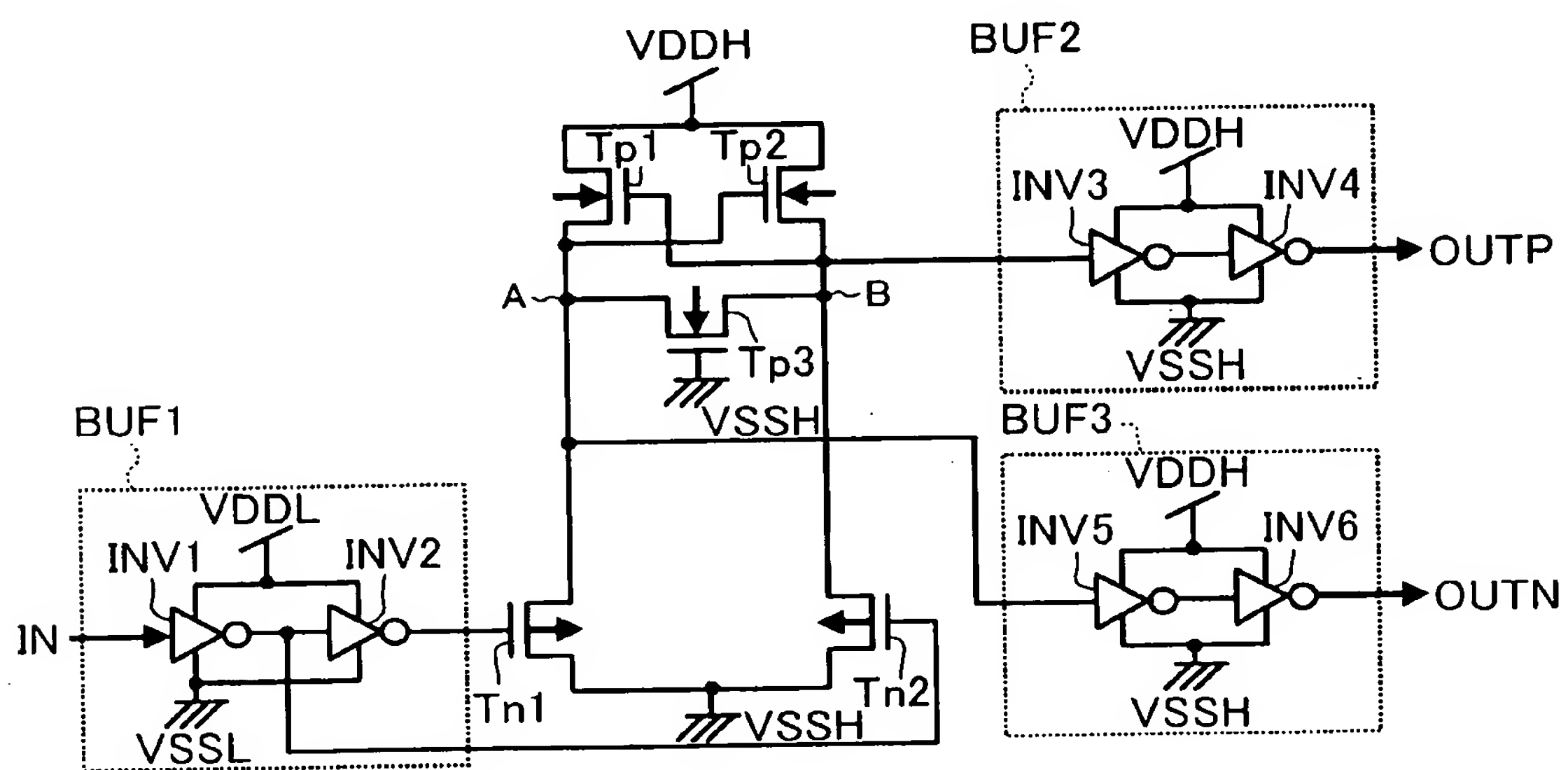
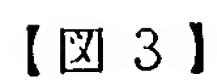
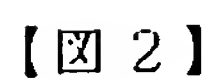
【符号の説明】

【0062】

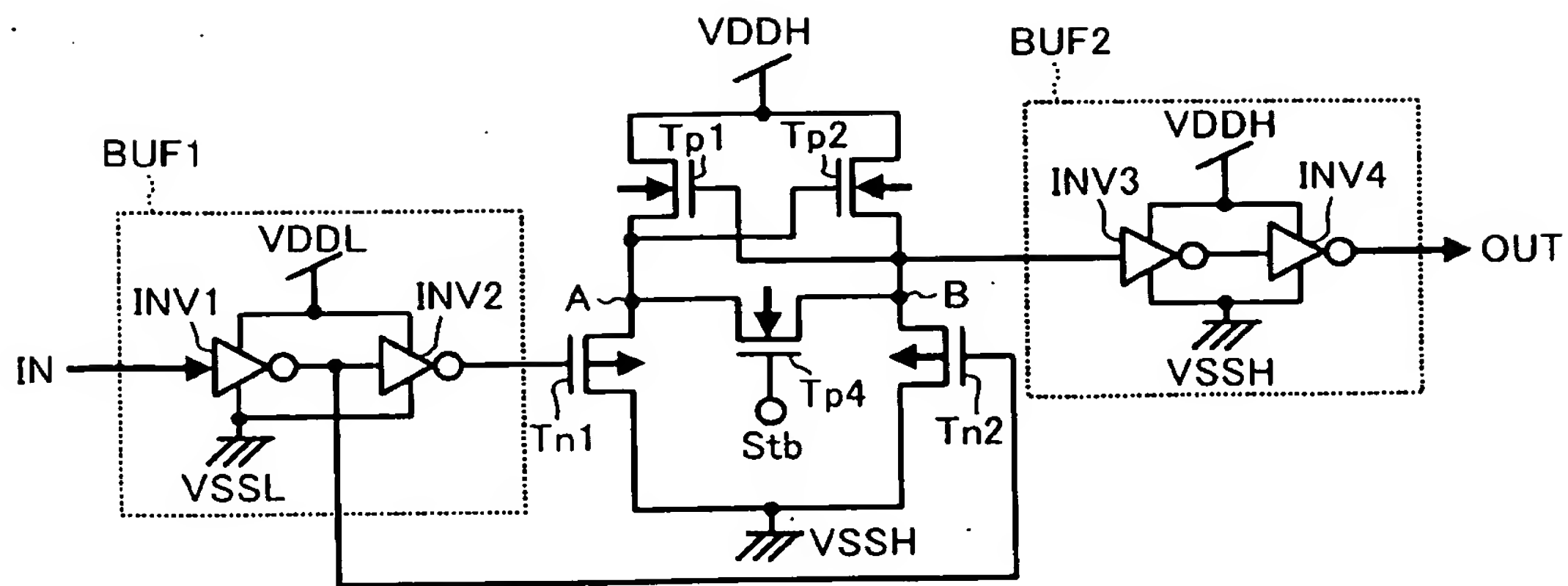
T p 1	第1のP c hM O Sトランジスタ
T p 2	第2のP c hM O Sトランジスタ
T n 1	第1のN c hM O Sトランジスタ
T n 2	第2のN c hM O Sトランジスタ
T p 3、T p 4	P c hM O Sトランジスタ（抵抗）

Tn3	NchMOSトランジスタ (抵抗)
Tn4	NchMOSトランジスタ
BUF1、	
BUF2、BUF3	バッファ
A、B	ノード
IN	入力端子
OUT	出力端子
OUTP、OUTN	差動出力端子
VDDH	高電源電圧
VDDL	低電源電圧
VSSH	高電源電圧側のグラウンド
VSSL	低電源電圧側のグラウンド
Stb	待機モード信号
	(ON/OFF 切換信号及び動作モード切換信号)

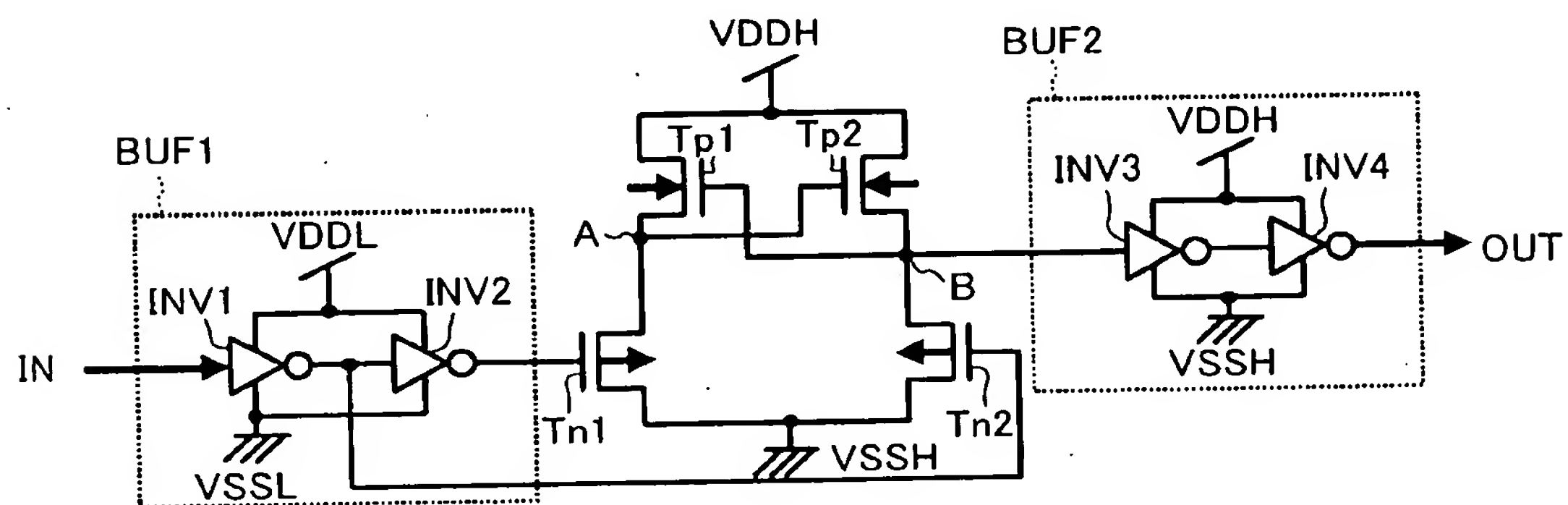
【 図 1 】



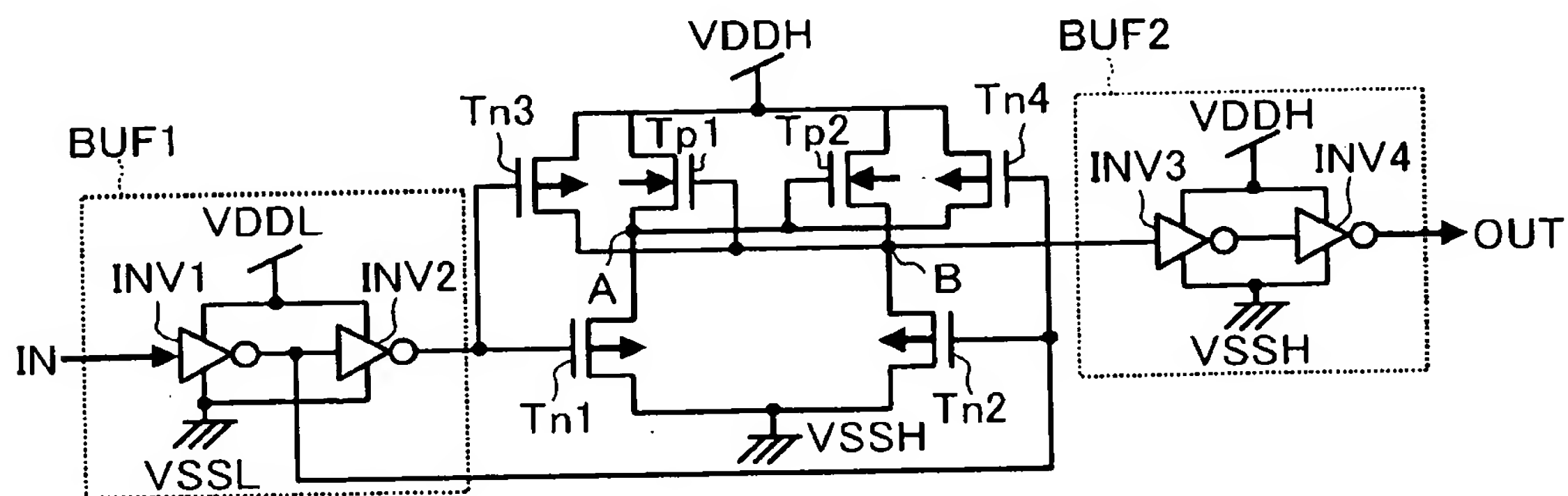
【图 4】



【图 5】



【图 6】



【書類名】 要約書

【要約】

【課題】 レベルシフト回路において、少ない素子数でもって高速動作させる。

【解決手段】 一对の相補入力信号を受ける2つのNchトランジスタ T_{n1} 、 T_{n2} と、ゲート端子が互いにクロスカップル接続された2つのPchトランジスタ T_{p1} 、 T_{p2} とを備えたレベルシフト回路において、前記2つのNchトランジスタ T_{n1} 、 T_{n2} のドレインであって互いに反転動作しているノードA、B同士が、抵抗 T_{p3} で接続される。この抵抗 T_{p3} は、Pchトランジスタで構成され、そのゲートは接地されて、常時導通状態にある。例えば、Nchトランジスタ T_{n1} がONし、 T_{n2} がOFFする際には、その当初で、高電位側のノードAから電流が抵抗 T_{p3} を通じて低電位側のノードBに流れて、低電位側のノードBの電位が上昇する。従って、このノードBの電位上昇は、Pchトランジスタ T_{p2} のONのみによる場合に比べて促進される。

【選択図】 図1

出願人履歴

0 0 0 0 0 5 8 2 1

13900828

新規登録

大阪府門真市大字門真1006番地

松下電器産業株式会社